

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Yuka HAYAMI, et al.

Serial Number: Not Yet Assigned

Filed: October 30, 2003

**Customer No.: 38834**

For: SEMICONDUCTOR DEVICE FABRICATION METHOD

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-317598, filed on October 31, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Sadao Kinashi  
Reg. No. 48,075

Atty. Docket No.: 032070  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SK/ll

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年10月31日

出願番号

Application Number: 特願2002-317598

[ST.10/C]:

[JP2002-317598]

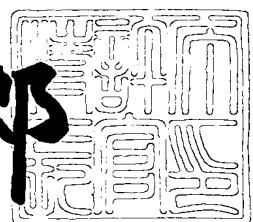
出願人

Applicant(s): 富士通株式会社

2003年 3月11日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015626

【書類名】 特許願

【整理番号】 0241399

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/31

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 早見 由香

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 王 純志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 齋木 孝志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 加勢 正隆

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

前記第1のレジスト膜を灰化する第1の灰化処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記第2のレジスト膜を灰化する第2の灰化処理工程とを有し、

前記第1の灰化処理工程における灰化処理時間は、前記第2の灰化処理工程における灰化処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

酸素より成る反応ガスを用いて前記第1のレジスト膜を灰化する第1の灰化処

理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第2のレジスト膜を灰化する第2の灰化処理工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

前記第1のレジスト膜を灰化する第1の灰化処理工程と、

前記第1のレジスト膜を薬液を用いて除去する第1の薬液処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記第2のレジスト膜を灰化する第2の灰化処理工程と、

前記第2のレジスト膜を薬液を用いて除去する第2の薬液処理工程とを有し、

前記第1の薬液処理工程における薬液処理時間は、前記第2の薬液処理工程における薬液処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、

前記第1の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第1のレジスト膜を除去し、

前記第2の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第2のレジスト膜を除去する

ことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3又は4記載の半導体装置の製造方法において、

前記第1の灰化処理工程の後、前記第1の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第1のレジスト膜を除去する第3の薬液処理工程を更に有し、

前記第2の灰化処理工程の後、前記第2の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第2のレジスト膜を除去する第4の薬液処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第1の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第1の洗浄処理工程と、

前記第1の不純物拡散領域中の前記第1のドーパント不純物を活性化するための熱処理を行う第1の熱処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第2の洗浄処理工程と、

前記第2の不純物拡散領域中の前記第2のドーパント不純物を活性化するため

の熱処理を行う第2の熱処理工程とを有し、

前記第1の洗浄処理工程における洗浄処理時間は、前記第2の洗浄処理工程における洗浄処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記第1の洗浄処理工程及び前記第2の洗浄処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板をそれぞれ洗浄することを特徴とする半導体装置の製造方法。

【請求項8】 請求項6又は7記載の半導体装置の製造方法において、

前記第1の不純物拡散領域を形成する工程の後で前記第1の洗浄処理工程の前に、又は、前記第1の洗浄処理工程の後で前記第1の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第3の洗浄処理工程を更に有し、

前記第2の不純物拡散領域を形成する工程の後で前記第2の洗浄処理工程の前に、又は、前記第2の洗浄処理工程の後で前記第2の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第4の洗浄処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の微細化に伴ってチャネル長が短くなると、短チャネル効果が顕著となり、MOSトランジスタの正常な動作が得られなくなる。短チャネル効果を防止する技術として、近時では、エクステンションソース／ドレイン構造を有する半導体装置が注目されている。

【0003】

PMOSトランジスタのエクステンション領域を形成する際には、NMOSトランジスタが形成される領域をフォトレジスト膜で覆い、ゲート電極とフォトレジスト膜とをマスクとして、ドーパント不純物を半導体基板に導入することにより、エクステンション領域を形成する。この後、フォトレジスト膜が剥離される。

【0004】

一方、NMOSトランジスタのエクステンション領域を形成する際には、PMOSトランジスタが形成される領域をフォトレジスト膜で覆い、ゲート電極とフォトレジスト膜とをマスクとして、ドーパント不純物を半導体基板に導入することにより、エクステンション領域を形成する。この後、フォトレジスト膜が剥離される。

【0005】

エクステンションソース／ドレイン構造のMOSトランジスタでは、短チャネル効果を抑制しうるため、より微細な半導体装置を提供することが可能となる。

【0006】

【特許文献1】

特開平6-204243号公報

【特許文献2】

特開平6-209081号公報

【0007】

【発明が解決しようとする課題】

しかしながら、フォトレジスト膜を除去する際には、灰化処理や薬液処理が行われる。灰化処理の際には、エクステンション領域が酸化されてしまう。また、薬液処理の際には、エクステンション領域が酸化及びエッチングされてしまう。このため、エクステンション領域における電気抵抗が高くなってしまう傾向があった。このため、エクステンション領域における電気抵抗をひくく抑制しうる技術が待望されていた。

【0008】

本発明の目的は、エクステンション領域における電気抵抗を低く抑制しうる半

導体装置の製造方法を提供することにある。

### 【0009】

#### 【課題を解決するための手段】

上記目的は、半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、前記第1のレジスト膜を灰化する第1の灰化処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、前記第2のレジスト膜を灰化する第2の灰化処理工程とを有し、前記第1の灰化処理工程における灰化処理時間は、前記第2の灰化処理工程における灰化処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

### 【0010】

また、上記目的は、半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、酸素より成る反応ガスを用いて前記第1のレジスト膜を灰化する第1の灰化処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、前記第2のレジスト膜、前記ゲート電極及び前記

サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第2のレジスト膜を灰化する第2の灰化処理工程とを有することを特徴とする半導体装置の製造方法により達成される。

## 【0011】

また、上記目的は、半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、前記第1のレジスト膜を灰化する第1の灰化処理工程と、前記第1のレジスト膜を薬液を用いて除去する第1の薬液処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、前記第2のレジスト膜を灰化する第2の灰化処理工程と、前記第2のレジスト膜を薬液を用いて除去する第2の薬液処理工程とを有し、前記第1の薬液処理工程における薬液処理時間は、前記第2の薬液処理工程における薬液処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

## 【0012】

また、上記目的は、半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第1の不純物拡散領域を形成する工程と、前記半導体基板を薬液を用いて洗浄する第1の洗浄処理工程と、前記第1の不純物拡散領域中の前記第1のドーパント不純物を活

性化するための熱処理を行う第1の熱処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、前記半導体基板を薬液を用いて洗浄する第2の洗浄処理工程と、前記第2の不純物拡散領域中の前記第2のドーパント不純物を活性化するための熱処理を行う第2の熱処理工程とを有し、前記第1の洗浄処理工程における洗浄処理時間は、前記第2の洗浄処理工程における洗浄処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

#### 【0013】

##### 【発明の実施の形態】

本発明の一実施形態による半導体装置の製造方法を図1乃至図15を用いて説明する。図1乃至図7は、本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0014】

まず、図1(a)に示すように、例えばシリコンより成る半導体基板10に、素子領域を画定する素子分離領域12を形成する。素子分離領域12は、例えばSTI(Shallow Trench Isolation)法により形成することができる。

#### 【0015】

次に、例えばスピンドルコート法により、全面に、フォトレジスト膜(図示せず)を形成する。

#### 【0016】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、NMOSトランジスタが形成される領域14nを開口する開口部(図示せず)を形成する。

#### 【0017】

次に、フォトレジスト膜をマスクとして、p型のドーパント不純物を導入することにより、NMOSトランジスタが形成される領域14nにおける半導体基板10内に、p形ウェル16pを形成する。

#### 【0018】

この後、フォトレジスト膜を除去、即ち剥離する。

【0019】

次に、例えばスピンドルコート法により、全面に、フォトレジスト膜（図示せず）を形成する。

【0020】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、PMOSトランジスタが形成される領域 $14\text{ p}$ を開口する開口部（図示せず）を形成する。

【0021】

次に、フォトレジスト膜をマスクとして、n型のドーパント不純物を導入することにより、PMOSトランジスタが形成される領域 $14\text{ p}$ における半導体基板 $10$ 内に、n形ウェル $16\text{ n}$ を形成する。

【0022】

この後、フォトレジスト膜を除去する。

【0023】

次に、全面に、膜厚 $1.1\text{ nm}$ のゲート絶縁膜 $18$ を形成する。ゲート絶縁膜 $18$ は、例えば熱酸化法により形成することできる。

【0024】

次に、全面に、膜厚 $100\text{ nm}$ のポリシリコン膜を形成する。この後、フォトリソグラフィ技術を用い、ポリシリコン膜をゲート電極の形状にパターニングする。パターニングの際には、例えば異方性エッチングを用いる。こうして、ポリシリコンより成るゲート電極 $20$ が形成される。

【0025】

次に、図1(b)に示すように、例えばスピンドルコート法により、全面に、フォトレジスト膜 $22$ を形成する。

【0026】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 $22$ に、NMOSトランジスタが形成される領域 $14\text{ n}$ を開口する開口部 $24$ を形成する。

【0027】

次に、例えばイオン注入法により、フォトレジスト膜 $24$ とゲート電極 $20$ と

をマスクとして、ゲート電極20の両側の半導体基板10内にp型のドーパント不純物を導入する。p型のドーパント不純物としては、例えばInを用いることができる。イオン注入条件は、例えば、加速エネルギーを150keV以下とし、ドーザ量を $5 \times 10^{13} \text{ cm}^{-2}$ とする。こうして、ゲート電極20の両側の半導体基板10内に、p型のポケット領域26が形成される。

## 【0028】

なお、ここでは、p型のドーパント不純物としてInを導入する場合を例に説明したが、p型のドーパント不純物がInに限定されるものではなく、例えばボロンを用いてもよい。

## 【0029】

次に、図2(a)に示すように、例えばイオン注入法により、フォトレジスト膜22とゲート電極20とをマスクとして、ゲート電極20の両側の半導体基板10内に、n型のドーパント不純物を導入する。n型のドーパント不純物としては、例えばAs、P又はSbを用いることができる。イオン注入条件は、例えば、加速エネルギーを5keV以下とし、ドーザ量を $1 \times 10^{15} \text{ cm}^{-2}$ 程度とする。

## 【0030】

こうして、ゲート電極20の両側の半導体基板10内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域28、即ちエクステンション領域が形成される。

## 【0031】

次に、フォトレジスト膜22を除去、即ち剥離する。フォトレジスト膜を除去する際には、まず、フォトレジスト膜を灰化する灰化処理、即ちアッシングを行い、この後、灰化されたフォトレジスト膜を薬液を用いて除去する薬液処理、即ちウェット処理を行う。

## 【0032】

まず、フォトレジスト膜22に対する灰化処理について説明する。

## 【0033】

フォトレジスト膜22を灰化する際には、O<sub>2</sub>ガスとCF<sub>4</sub>ガスとフォーミング

ガスとから成る混合ガスを用いる。CF<sub>4</sub>ガスは、フォトレジスト膜の剥離を促進するためのものである。フォーミングガスは、フォトレジストの残渣が残るのを防止するためのものである。フォーミングガスとしては、例えば、N<sub>2</sub>ガスとH<sub>2</sub>ガスとから成る混合ガス、又は、N<sub>2</sub>ガスとHeガスとから成る混合ガスを用いる。フォーミングガスの大部分はN<sub>2</sub>ガスであり、残りの数パーセントがH<sub>2</sub>ガス又はHeガスである。

## 【0034】

フォトレジスト膜22に対する灰化処理時間は、後工程におけるフォトレジスト膜44、52(図5(a)、図5(b)参照)に対する灰化処理時間より、短くなるように設定する。具体的には、フォトレジスト膜22に対する灰化処理時間は、後工程におけるフォトレジスト膜44、52に対する灰化処理時間の0.7倍以下に設定する。更には、フォトレジスト膜22に対する灰化処理時間は、後工程におけるフォトレジスト膜44、52に対する灰化処理時間の0.5倍以下に設定する。フォトレジスト膜22に対する灰化処理時間を短く設定することにより、ゲート電極20の両側の半導体基板10の表面が過度に酸化されてしまうのを防止することが可能となる。但し、フォトレジスト膜22に対する灰化処理時間があまりに短すぎると、フォトレジスト膜22が除去できなくなる虞があるため、フォトレジスト膜22の除去が可能な程度に灰化処理時間を適宜設定することが望ましい。フォトレジスト膜22の灰化処理の際にO<sub>2</sub>ガスとCF<sub>4</sub>ガスとフォーミングガスとから成る混合ガスを用いる場合には、フォトレジスト膜22の灰化処理を行う時間は、例えば60秒とする。

## 【0035】

なお、ここでは、フォトレジスト膜22の灰化処理の際にO<sub>2</sub>ガスとCF<sub>4</sub>ガスとフォーミングガスとから成る混合ガスを用いたが、O<sub>2</sub>ガスのみを反応ガスとして用いてフォトレジスト膜22を灰化してもよい。フォトレジスト膜22を灰化処理の際に反応ガスとしてO<sub>2</sub>ガスのみを用いた場合には、半導体基板10の酸化量が少なくなる傾向がある。このため、フォトレジスト膜22を灰化処理する際に反応ガスとしてO<sub>2</sub>ガスのみを用いる場合には、灰化処理時間をあまり短くしなくてもよい。フォトレジスト膜22の灰化処理の際に反応ガスとしてO<sub>2</sub>

ガスのみを用いる場合には、灰化処理時間は、例えば180秒とする。

【0036】

次に、灰化されたフォトレジスト膜22を薬液により除去する薬液処理について説明する。

【0037】

薬液処理においては、まず、SPM (Sulfuric acid - Hydrogen Peroxide Mixture) 液を用いてフォトレジスト膜22を除去し、SPM液で除去しきれないフォトレジスト膜22の残渣をAPM (Ammonia - Hydrogen Peroxide Mixture) 液を用いて除去する。SPM液は、硫酸と過酸化水素とが混合されて成る薬液である。APM液は、アンモニアと過酸化水素と水とが混合されて成る薬液である。

【0038】

まず、SPM液による薬液処理について説明する。

【0039】

SPM液における硫酸と過酸化水素との混合比は、例えば4:1とする。SPM液による薬液処理の時間は、例えば20分とする。

【0040】

次に、APM液による薬液処理について説明する。

【0041】

APM液におけるアンモニアと過酸化水素と水との混合比は、例えば1:1:5とする。

【0042】

なお、APM液におけるアンモニアと過酸化水素と水との混合比は、1:1:5に限定されるものではなく、適宜設定すればよい。

【0043】

フォトレジスト膜をAPM液により除去する薬液処理時間は、後工程においてフォトレジスト膜44、52(図5(a)、図5(b)参照)をAPM液により除去する薬液処理時間より、短く設定する。具体的には、フォトレジスト膜22をAPM液により除去する薬液処理時間は、後工程においてフォトレジスト膜4

4、52をAPM液により除去する薬液処理時間の0.7倍以下に設定する。更には、フォトレジスト膜22をAPM液により除去する薬液処理時間は、後工程においてフォトレジスト膜44、52をAPM液により除去する薬液処理時間の0.5倍以下に設定する。ここでは、APM液による薬液処理時間を、例えば300秒とする。フォトレジスト膜22をAPM液により除去する薬液処理時間を短く設定することにより、ゲート電極20の両側の半導体基板10の表面がAPM液により大きくエッチングされてしまうのを防止することが可能となる。但し、フォトレジスト膜22をAPM液により除去する薬液処理時間があまりに短すぎると、フォトレジスト膜22の残渣が残ってしまう虞があるため、フォトレジスト膜22の残渣の除去が可能な程度にAPM液による薬液処理時間を適宜設定することが望ましい。

#### 【0044】

こうして、フォトレジスト膜22が除去される。

#### 【0045】

次に、図2(b)に示すように、例えばスピンドルコート法により、全面に、フォトレジスト膜30を形成する。

#### 【0046】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜30に、PMOSトランジスタが形成される領域14pを開口する開口部32を形成する。

#### 【0047】

次に、例えばイオン注入法により、フォトレジスト膜30とゲート電極20とをマスクとして、ゲート電極20の両側の半導体基板10内にn型のドーパント不純物を導入する。n型のドーパント不純物としては、例えばSbを用いることができる。イオン注入条件は、例えば、加速エネルギーを150keV以下とし、ドーズ量を $5 \times 10^{13} \text{ cm}^{-2}$ 程度とする。こうして、ゲート電極20の両側の半導体基板10内に、n型のポケット領域34が形成される。

#### 【0048】

次に、図3(a)に示すように、例えばイオン注入法により、フォトレジスト膜30とゲート電極20とをマスクとして、ゲート電極20の両側の半導体基板

10内に、p型のドーパント不純物を導入する。p型のドーパント不純物としては、例えばBを用いることができる。イオン注入条件は、例えば、加速エネルギーを1keV以下とし、ドーザ量を $1 \times 10^{15} \text{ cm}^{-2}$ 程度とする。こうして、ゲート電極20の両側の半導体基板10内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域36、即ちエクステンション領域が形成される。

## 【0049】

次に、フォトレジスト膜30を除去する。フォトレジスト膜30は、図2(a)を用いて上述した半導体装置の製造方法と同様にして除去すればよい。即ち、フォトレジスト膜30を灰化する灰化処理時間を短く設定し、また、フォトレジスト膜30をAPM液により除去する薬液処理時間を短く設定する。

## 【0050】

こうして、フォトレジスト膜30が除去される(図3(b)参照)。

## 【0051】

次に、エクステンション領域28、36中のドーパント不純物を活性化するための熱処理の前処理として、半導体基板10の表面を洗浄する洗浄処理を行う。

## 【0052】

洗浄処理の際は、APM液を用いた洗浄処理と、HPM(Hydrochloric acid - Hydrogen Peroxide Mixture)液を用いた洗浄処理とを行う。HPM液とは、塩酸と過酸化水素と水とが混合されて成る薬液である。APM液は、主として、半導体基板10の表面に付着したパーティクルや有機系の不純物を除去するために用いられる。HPM液は、主として、半導体基板10の表面に存在する微量な金属を除去するために用いられる。

## 【0053】

まず、APM液による洗浄処理について説明する。

## 【0054】

APM液におけるアンモニアと過酸化水素と水との混合比は、例えば1:1:5とする。

## 【0055】

なお、A PM液におけるアンモニアと過酸化水素と水との混合比は、1：1：5に限定されるものではなく、適宜設定すればよい。

#### 【0056】

エクステンション領域28、36中のドーパント不純物を活性化する熱処理の前処理においては、A PM液による洗浄処理時間を短く設定する。具体的には、エクステンション領域28、36に対する熱処理の前処理におけるA PM液による洗浄処理時間は、後工程における深い不純物拡散領域48、56（図5（a）、図5（b）参照）に対する熱処理の前処理におけるA PM液による洗浄処理時間の0.7倍以下に設定する。更には、エクステンション領域28、36に対する熱処理の前処理におけるA PM液による洗浄処理時間は、後工程における深い不純物拡散領域48、56に対する熱処理の前処理におけるA PM液による洗浄処理時間の0.5倍以下に設定する。ここでは、A PM液を用いた洗浄処理の時間を、例えば300秒とする。エクステンション領域28、36中のドーパント不純物を活性化する熱処理の前処理におけるA PM液による洗浄処理時間を短く設定することにより、ゲート電極20の両側のエクステンション領域28、36が大きくエッチングされてしまうのを防止することが可能となる。但し、A PM液による洗浄処理時間があまりに短すぎると、パーティクルや有機系の不純物を除去しきれない虞があるため、パーティクルや有機系の不純物の除去が可能な程度にA PM液による洗浄処理時間を適宜設定することが望ましい。

#### 【0057】

次に、HPM液による洗浄処理について説明する。

#### 【0058】

HPM液における塩酸と過酸化水素と水との混合比は、例えば1：1：5とする。HPM液による洗浄処理時間は、例えば600秒とする。

#### 【0059】

こうして、半導体基板10の表面が洗浄される。

#### 【0060】

次に、例えばRTA（Rapid Thermal Annealing）法により、エクステンション領域28、36中のドーパント不純物を活性化するための熱処理を行う。熱処

理温度は、例えば800～1100°Cとする。熱処理時間は、例えば数十秒以下とする。

#### 【0061】

次に、図4（a）に示すように、全面に、例えば減圧熱CVD法により、膜厚100nmのシリコン酸化膜38を形成する。

#### 【0062】

次に、図4（b）に示すように、シリコン酸化膜38を異方性エッティングする。エッティングガスとしては、例えば、ハイドロフルオロカーボンを用いる。こうして、ゲート電極20の側壁部分に、シリコン酸化膜38から成る積層構造のサイドウォール絶縁膜42が形成される。

#### 【0063】

次に、図5（a）に示すように、例えばスピンドルコート法により、全面に、フォトレジスト膜44を形成する。

#### 【0064】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜44に、NMOSトランジスタが形成される領域14nを開口する開口部46を形成する。

#### 【0065】

次に、例えばイオン注入法により、フォトレジスト膜44、ゲート電極20及びサイドウォール絶縁膜42をマスクとして、半導体基板10内にn型のドーパント不純物を導入する。n型のドーパント不純物としては、例えばAs又はPを用いることができる。イオン注入条件は、例えば、加速エネルギーを40keV以下とし、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2}$ 以下とする。

#### 【0066】

こうして、側壁部分にサイドウォール絶縁膜42が形成されたゲート電極20の両側の半導体基板10内に、エクステンションソース／ドレイン構造の深い領域を構成するn型の不純物拡散領域48が形成される。深い不純物拡散領域48は、エクステンション領域28よりキャリア濃度が高くなるように形成される。エクステンション領域28、即ち浅い不純物拡散領域と深い不純物拡散領域48とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層5

0が構成される。

#### 【0067】

次に、フォトレジスト膜44を除去する。フォトレジスト膜44を除去する際には、まず、フォトレジスト膜44を灰化する灰化処理を行い、この後、灰化されたフォトレジスト膜44を薬液により除去する薬液処理を行う。

#### 【0068】

まず、フォトレジスト膜44に対する灰化処理について説明する。

#### 【0069】

フォトレジスト膜44を灰化処理する際には、例えば、O<sub>2</sub>ガスとCF<sub>4</sub>ガスとフォーミングガスとから成る混合ガスを用いる。フォトレジスト膜44の灰化処理を行う時間は、例えば180秒とする。なお、フォトレジスト膜44の灰化処理時間を、フォトレジスト膜22、30を灰化処理する時間より長く設定しているのは、フォトレジスト膜44を除去するための時間に十分なマージンを確保しているためである。フォトレジスト膜44の灰化処理を行う際には、エクステンション領域28、36のうちのゲート電極20に近い部分は、サイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分が、灰化処理により大きく酸化されることはなく、特段の問題は生じない。

#### 【0070】

次に、灰化されたフォトレジスト膜44は、薬液を用いた薬液処理により除去する。薬液処理の際には、まず、SPM液を用いてフォトレジスト膜44を除去し、SPM液で除去しきれないフォトレジスト膜44の残渣をAPM液を用いて除去する。

#### 【0071】

まず、SPM液による薬液処理について説明する。

#### 【0072】

SPM液における硫酸と過酸化水素との混合比は、例えば4：1とする。SPM液を用いた薬液処理の時間は、例えば20分とする。

#### 【0073】

次に、APM液による薬液処理について説明する。

#### 【0074】

APM液におけるアンモニアと過酸化水素と水との混合比は、例えば1:1:5とする。APMを用いた薬液処理の時間は、例えば600秒とする。フォトレジスト膜44をAPM液により除去する薬液処理時間を、フォトレジスト膜22、30をAPM液により除去する薬液処理時間より長く設定しているのは、フォトレジスト膜44を除去するための時間に十分なマージンを確保しているためである。フォトレジスト膜44をAPM液により薬液処理する際には、エクステンション領域28、36のうちのゲート電極20に近い部分は、サイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分がAPM液により大きくエッチングされてしまうことはなく、特段の問題は生じない。

#### 【0075】

こうして、フォトレジスト膜44が除去される。

#### 【0076】

次に、図5(b)に示すように、例えばスピンドルコート法により、全面に、フォトレジスト膜52を形成する。

#### 【0077】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜52に、PMOSトランジスタが形成される領域14pを開口する開口部54を形成する。

#### 【0078】

次に、例えばイオン注入法により、フォトレジスト膜52、ゲート電極20及びサイドウォール絶縁膜42をマスクとして、半導体基板20内にp型のドーパント不純物を導入する。p型のドーパント不純物としては、例えばBを用いることができる。イオン注入条件は、例えば、加速エネルギーを7keV以下とし、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2}$ 以下とする。

#### 【0079】

こうして、側壁部分にサイドウォール絶縁膜42が形成されたゲート電極20の両側の半導体基板10内に、エクステンションソース/ドレイン構造の深い領

域を構成する p 型の不純物拡散領域 5 6 が形成される。深い不純物拡散領域 5 6 は、エクステンション領域 3 6 よりキャリア濃度が高くなるように形成される。エクステンション領域 3 6 、即ち浅い不純物拡散領域と深い不純物拡散領域 5 6 とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層 5 8 が構成される。

#### 【0080】

次に、フォトレジスト膜 5 2 を除去する。フォトレジスト膜 5 2 は、図 5 (a) を用いて上述した半導体装置の製造方法と同様にして除去する。即ち、フォトレジスト膜 5 2 を灰化するための灰化処理時間を十分に長く設定し、フォトレジスト膜 5 2 を APM 液により除去するための薬液処理時間を十分に長く設定する。

#### 【0081】

こうして、フォトレジスト膜 5 2 が除去される（図 6 (a) 参照）。

#### 【0082】

次に、深い不純物拡散領域 4 8 、 5 6 中のドーパント不純物を活性化するための熱処理の前処理として、半導体基板 1 0 の表面を洗浄するための洗浄処理を行う。

#### 【0083】

洗浄処理の際には、 APM 液による洗浄処理と、 HPM 液による洗浄処理とを行う。

#### 【0084】

まず、 APM による洗浄処理について説明する。

#### 【0085】

APM 液におけるアンモニアと過酸化水素と水との混合比は、例えば 1 : 1 : 5 とする。なお、 APM 液におけるアンモニアと過酸化水素と水との混合比は、 1 : 1 : 5 に限定されるものではなく、適宜設定すればよい。 APM 液による洗浄処理時間は、例えば 600 秒とする。 APM 液による薬液処理の時間を長く設定しているのは、パーティクルや有機系の不純物を除去する時間に十分なマージンを確保しているためである。 APM 液による薬液処理を行う際には、エクステ

ンション領域28、36のうちのゲート電極20に近い部分は、サイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分がAPM液により大きくエッティングされてしまうことはなく、特段の問題は生じない。

## 【0086】

次に、HPM液による洗浄処理について説明する。

## 【0087】

HPM液における塩酸と過酸化水素と水との混合比は、例えば1:1:5とする。HPM液による洗浄処理時間は、例えば600秒とする。

## 【0088】

こうして、半導体基板10の表面が洗浄される。

## 【0089】

なお、ここでは、APM液による洗浄処理を行った後にHPM液による洗浄処理を行ったが、HPM液による洗浄処理を行った後にAPM液による洗浄処理を行ってもよい。

## 【0090】

次に、深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理を行う。熱処理温度は、例えば800~1100°Cとする。熱処理時間は、例えば数十秒以下とする。

## 【0091】

次に、図6(b)に示すように、全面に、例えばスパッタ法により、例えばCoより成る金属膜60を形成する、金属膜60の膜厚は、例えば5nm程度とする。

## 【0092】

次に、熱処理を行うことにより、金属膜60のCoと半導体基板10のSiとを反応させる。こうして、例えばコバルトシリサイド膜が形成される。この後、Siと反応しなかった金属膜60を除去する。こうして、コバルトシリサイドよりなるソース/ドレイン電極62が形成される(図7参照)。

## 【0093】

こうしてNMO Sトランジスタ64nとPMOSトランジスタ64pとを有する本実施形態による半導体装置が製造される。

#### 【0094】

本実施形態による半導体装置の製造方法は、フォトレジスト膜22、30を除去するための灰化処理時間を、フォトレジスト膜44、52を除去するための灰化処理時間より短く設定することに主な特徴がある。

#### 【0095】

提案されている半導体装置の製造方法においては、いずれのフォトレジスト膜を除去する際にも同じ条件でフォトレジスト膜を灰化していた。このため、エクステンション領域が大きく酸化されてしまい、エクステンション領域における電気抵抗が上昇してしまっていた。

#### 【0096】

これに対し、本実施形態による半導体装置の製造方法では、フォトレジスト膜22、30を除去する際の灰化処理時間を、フォトレジスト膜44、52を除去するための灰化処理時間より短く設定する。このため、フォトレジスト膜22、30を除去する際に、エクステンション領域28、36が大きく酸化されてしまうのを防止することができる。一方、フォトレジスト膜44、52を除去する際には、フォトレジスト膜44、52を確実に除去しうるよう灰化処理時間を長く設定する。フォトレジスト膜44、52を除去する際には、エクステンション領域28、36のうちのゲート電極20に近い部分はサイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分が大きく酸化されてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域28、36における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0097】

また、本実施形態による半導体装置の製造方法は、フォトレジスト膜22、30を除去する際のAPM液による薬液処理時間を、フォトレジスト膜44、52を除去する際のAPM液による薬液処理時間より短く設定することにも主な特徴

の一つがある。

#### 【0098】

提案されている半導体装置の製造方法においては、いずれのフォトレジスト膜を除去する際にも同じ条件でAPM液による薬液処理を行っていた。このため、エクステンション領域がAPM液により大きくエッチングされてしまい、エクステンション領域における電気抵抗が上昇してしまっていた。

#### 【0099】

これに対し、本実施形態による半導体装置の製造方法では、フォトレジスト膜22、30を除去する際のAPM液による薬液処理時間を、フォトレジスト膜44、52を除去する際のAPM液による薬液処理時間より短く設定する。このため、フォトレジスト膜22、30を除去する際に、エクステンション領域28、36が大きく除去されてしまうのを防止することができる。一方、フォトレジスト膜44、52を除去する際には、フォトレジスト膜44、52を確実に除去しうるようAPM液による薬液処理を十分な時間で行う。フォトレジスト膜44、52を除去する際には、エクステンション領域28、36のうちのゲート電極20に近い部分はサイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分が大きくエッチングされてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域28、36における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0100】

また、本実施形態による半導体装置の製造方法は、エクステンション領域28、36中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の時間を、深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の時間より、短く設定することにも主な特徴の一つがある。

#### 【0101】

本実施形態による半導体装置の製造方法では、エクステンション領域28、36中のドーパント不純物を活性化するための熱処理の前に行われるAPM液によ

る洗浄処理の時間を、深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の時間より短く設定するため、エクステンション領域28、36中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の際に、エクステンション領域28、36が大きくエッティングされてしまうのを防止することができる。一方、深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の際には、パーティクルや有機系の不純物を確実に除去しうるようにAPM液による洗浄処理を長く設定する。深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による洗浄処理の際には、エクステンション領域28、36のうちのゲート電極20に近い部分はサイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分が大きく酸化されてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域28、36における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0102】

##### (評価結果)

次に、本実施形態による半導体装置の製造方法の評価結果について、図8乃至図15を用いて説明する。

#### 【0103】

図8は、フォトレジスト膜に対する灰化処理の時間と半導体基板表面の酸化量との関係を示すグラフである。横軸は、フォトレジスト膜に対する灰化処理の時間、即ちアッシング時間と示している。縦軸は、半導体基板表面の酸化量を示している。◆印は、灰化処理の際にO<sub>2</sub>ガスとCF<sub>4</sub>ガスとフォーミングガスとから成る混合ガスを用いた場合を示している。■印は、灰化処理の際にO<sub>2</sub>ガスのみを用いた場合を示している。

#### 【0104】

図8から分かるように、灰化処理時間が長くなるに伴って酸化量は増加する傾向にある。このことから、灰化処理時間を短く設定することにより、酸化量を小

さく抑え得ることがわかる。

#### 【0105】

また、図8から分かるように、灰化処理の際に用いるガスによって、半導体基板表面の酸化量が異なっている。 $O_2$ ガスのみを用いて灰化処理を行った場合には、混合ガスを用いて灰化処理を行った場合と比較して酸化量が小さく抑えられている。

#### 【0106】

図9は、フォトレジスト膜に対する灰化処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸は、フォトレジスト膜に対する灰化処理の時間を示している。縦軸は、エクステンション領域における電気抵抗を示している。◆印は、灰化処理の際に $O_2$ ガスと $CF_4$ ガスとフォーミングガスとから成る混合ガスを用いた場合を示している。■印は、灰化処理の際に $O_2$ ガスのみを用いた場合を示している。なお、エクステンション領域を形成する際には、ドーパント不純物としてボロンを用い、加速エネルギーを0.3 keVとし、ドーズ量を $8 \times 10^{14} \text{ cm}^{-2}$ とした。

#### 【0107】

図9から分かるように、灰化処理の際に $O_2$ ガスのみを用いた場合には、エクステンション領域の電気抵抗は低く抑えられている。

#### 【0108】

また、図9から分かるように、灰化処理時間が長くなるに伴って、エクステンション領域における電気抵抗は大きくなる傾向がある。

#### 【0109】

図8と図9とから分かるように、灰化処理時間が短いほど、半導体基板の酸化量は小さくなる傾向にあり、エクステンション領域における電気抵抗は小さくなる傾向にある。このことから、灰化処理時間を短く設定することにより、エクステンション領域における電気抵抗を小さく抑え得ることがわかる。

#### 【0110】

図10は、APM液による薬液処理の時間とポリシリコンのエッティング量との関係を示すグラフである。横軸は、APM液による薬液処理の時間を示している

。縦軸は、ポリシリコンのエッティング量を示している。

#### 【0111】

図10から分かるように、APM液による薬液処理時間を短くすることにより、半導体基板表面が大きくエッティングされてしまうのを抑制し得ることが分かる。

#### 【0112】

図11は、APM液による薬液処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸は、APM液による薬液処理の時間を見ている。縦軸は、エクステンション領域における電気抵抗を見ている。なお、エクステンション領域を形成する際には、ドーパント不純物としてボロンを用い、加速エネルギーを0.2 keVとし、ドーザ量を $8 \times 10^{14} \text{ cm}^{-2}$ とした。薬液処理の際には、まず、SPM液による薬液処理を20分行い、この後、APM液による薬液処理を行った。

#### 【0113】

図11から分かるように、APM液による薬液処理の時間が短いほど、エクステンション領域における電気抵抗は小さくなる傾向がある。

#### 【0114】

図10と図11とから分かるように、APM液による薬液処理の時間が短いほど、APM液による半導体基板表面のエッティング量は小さくなる傾向があり、エクステンション領域における電気抵抗は小さくなる傾向がある。このことから、APM液による薬液処理の時間を短く設定することにより、エクステンション領域における電気抵抗を低く抑え得ることが分かる。

#### 【0115】

図12は、エクステンション領域中のドーパント不純物を活性化するための熱処理の前処理におけるAPM液による洗浄処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸はエクステンション領域中のドーパント不純物を活性化するための熱処理の前処理におけるAPM液による洗浄処理の時間を示している。縦軸は、エクステンション領域における電気抵抗を見ている。



## 【0116】

図12から分かるように、APM液による洗浄時間が短いほど、エクステンション領域における電気抵抗は小さくなる傾向にある。

## 【0117】

図13は、本実施形態による半導体装置と従来の半導体装置とを比較した断面図である。図13は、TEM写真である。図13における紙面左側は、従来の半導体装置の場合を示している。図13における紙面右側は、本実施形態による半導体装置の場合を示している。

## 【0118】

図13から分かるように、従来の半導体装置では、ゲート電極直下における半導体基板の表面の高さに対して、エクステンション領域における半導体基板表面の高さは、6.6nm低くなっている。

## 【0119】

これに対し、本実施形態による半導体装置では、ゲート電極20直下における半導体基板10の表面の高さに対して、エクステンション領域28における半導体基板10表面の高さは、4.8nm低くなっている。即ち、本実施形態では、エクステンション領域28のエッチング量が、従来と比較して30%程度抑制されていることが分かる。

## 【0120】

このことから、本実施形態によれば、エクステンション領域がエッチングされてしまうのを抑制し得ることが分かる。

## 【0121】

図14は、ロールオフ特性を示すグラフである。横軸は、ゲート長 $L_{sem}$ を示している。縦軸は、しきい値電圧 $V_{th}$ を示している。なお、ロールオフ特性を測定する際のドレイン電圧 $V_d$ は、-1Vとした。●印は本実施形態による半導体装置の場合を示している。■印は、本実施形態による半導体装置のうちで最も特性が良好なものの場合を示している。○印は、従来の半導体装置の場合を示している。

## 【0122】

図14から分かるように、本実施形態による半導体装置では、従来の半導体装置と同様に、良好なロールオフ特性が得られている。

#### 【0123】

図15は、飽和電流  $I_{on}$  とリーク電流  $I_{off}$  との関係を示すグラフである。横軸は、飽和電流  $I_{on}$  を示している。縦軸はリーク電流  $I_{off}$  を示している。●印は本実施形態による半導体装置の場合を示している。■印は、本実施形態による半導体装置のうちで最も特性が良好なものの場合を示している。○印は、従来の半導体装置の場合を示している。

#### 【0124】

図14から分かるように、本実施形態では、従来と比較して、大きな飽和電流が得られることが分かる。

#### 【0125】

##### [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

#### 【0126】

例えば、上記実施形態では、APM液を用いてフォトレジスト膜22、30を除去する際に薬液処理時間を短く設定したが、本発明の原理は、APM液を用いてフォトレジスト膜22、30を除去する場合に限定されるものではなく、フォトレジスト膜22、30を除去する際に他の薬液を用いる場合にも適用することができる。

#### 【0127】

また、上記実施形態では、エクステンション領域中のドーパント不純物を活性化するための熱処理の前処理におけるAPM液による洗浄処理において洗浄処理時間を短く設定したが、本発明の原理は、APM液を用いて洗浄処理を行う場合に限定されるものではなく、半導体基板10表面を洗浄する際に他の薬液を用いる場合にも適用することができる。

#### 【0128】

また、上記実施形態では、フォトレジスト膜を剥離する際に、 $O_2$ ガスより成る反応ガスと $CF_4$ ガスより成る他の反応ガスとフォーミングガスとから成る混

合ガスを用いる場合を例に説明したが、他の反応ガスはCF<sub>4</sub>ガスに限定されるものではなく、フォトレジスト膜の剥離を促進しうるガスを適宜用いることができる。例えば、他の反応ガスとして、フッ素原子又は水素原子を含むガスを適宜用いることができる。具体的には、他の反応ガスとして、CF<sub>4</sub>ガスの他に、H<sub>2</sub>ガス、NF<sub>3</sub>ガス、H<sub>2</sub>Oガス、CHF<sub>3</sub>ガス等を用いることができる。

## 【0129】

(付記1) 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

前記第1のレジスト膜を灰化する第1の灰化処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記第2のレジスト膜を灰化する第2の灰化処理工程とを有し、

前記第1の灰化処理工程における灰化処理時間は、前記第2の灰化処理工程における灰化処理時間より短い

ことを特徴とする半導体装置の製造方法。

## 【0130】

(付記2) 付記1記載の半導体装置の製造方法において、

前記第1の灰化処理工程における灰化処理時間は、前記第2の灰化処理工程における灰化処理時間の0.7倍以下である

(付記3) 付記2記載の半導体装置の製造方法において、

前記第1の灰化処理工程における灰化処理時間は、前記第2の灰化処理工程における灰化処理時間の0.5倍以下である  
ことを特徴とする半導体装置の製造方法。

【0131】

(付記4) 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

酸素より成る反応ガスを用いて前記第1のレジスト膜を灰化する第1の灰化処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第2のレジスト膜を灰化する第2の灰化処理工程とを有する

ことを特徴とする半導体装置の製造方法。

【0132】

(付記5) 付記4記載の半導体装置の製造方法において、

前記他の反応ガスは、フッ素原子又は水素原子を含むガスである  
ことを特徴とする半導体装置の製造方法。

【0133】

(付記6) 付記4又は5記載の半導体装置の製造方法において、

前記混合ガスは、フォーミングガスを更に含む

ことを特徴とする半導体装置の製造方法。

【0134】

(付記7) 半導体基板に形成された第1の素子領域上及び第2の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第1の素子領域が開口されている第1のレジスト膜を形成する工程と、

前記第1のレジスト膜及び前記ゲート電極をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第1の不純物拡散領域を形成する工程と、

前記第1のレジスト膜を灰化する第1の灰化処理工程と、

前記第1のレジスト膜を薬液を用いて除去する第1の薬液処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第1の素子領域が開口されている第2のレジスト膜を形成する工程と、

前記第2のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第1の素子領域にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記第2のレジスト膜を灰化する第2の灰化処理工程と、

前記第2のレジスト膜を薬液を用いて除去する第2の薬液処理工程とを有し、

前記第1の薬液処理工程における薬液処理時間は、前記第2の薬液処理工程における薬液処理時間より短い

ことを特徴とする半導体装置の製造方法。

【0135】

(付記8) 付記7記載の半導体装置の製造方法において、

前記第1の薬液処理工程における薬液処理時間は、前記第2の薬液処理工程における薬液処理時間の0.7倍以下である

ことを特徴とする半導体装置の製造方法。

【0136】

(付記9) 付記8記載の半導体装置の製造方法において、

前記第1の薬液処理工程における薬液処理時間は、前記第2の薬液処理工程における薬液処理時間の0.5倍以下であることを特徴とする半導体装置の製造方法。

## 【0137】

(付記10) 付記7乃至9のいずれかに記載の半導体装置の製造方法において、

前記第1の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第1のレジスト膜を除去し、

前記第2の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第2のレジスト膜を除去する

ことを特徴とする半導体装置の製造方法。

## 【0138】

(付記11) 付記7乃至10のいずれかに記載の半導体装置の製造方法において、

前記第1の灰化処理工程の後、前記第1の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第1のレジスト膜を除去する第3の薬液処理工程を更に有し、

前記第2の灰化処理工程の後、前記第2の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第2のレジスト膜を除去する第4の薬液処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

## 【0139】

(付記12) 半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第1の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第1の洗浄処理工程と、

前記第1の不純物拡散領域中の前記第1のドーパント不純物を活性化するため

の熱処理を行う第1の熱処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第2の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第2の洗浄処理工程と、

前記第2の不純物拡散領域中の前記第2のドーパント不純物を活性化するための熱処理を行う第2の熱処理工程とを有し、

前記第1の洗浄処理工程における洗浄処理時間は、前記第2の洗浄処理工程における洗浄処理時間より短い

ことを特徴とする半導体装置の製造方法。

【0140】

(付記13) 付記12記載の半導体装置の製造方法において、

前記第1の洗浄処理工程における洗浄処理時間は、前記第2の洗浄処理工程における洗浄処理時間の0.7倍以下である

ことを特徴とする半導体装置の製造方法。

【0141】

(付記14) 付記13記載の半導体装置の製造方法において、

前記第1の洗浄処理工程における洗浄処理時間は、前記第2の洗浄処理工程における洗浄処理時間の0.5倍以下である

ことを特徴とする半導体装置の製造方法。

【0142】

(付記15) 付記12乃至14のいずれかに記載の半導体装置の製造方法において、

前記第1の洗浄処理工程及び前記第2の洗浄処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板をそれぞれ洗浄することを特徴とする半導体装置の製造方法。

【0143】

(付記16) 付記12乃至15のいずれかに記載の半導体装置の製造方法に

おいて、

前記第1の不純物拡散領域を形成する工程の後で前記第1の洗浄処理工程の前に、又は、前記第1の洗浄処理工程の後で前記第1の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第3の洗浄処理工程を更に有し、

前記第2の不純物拡散領域を形成する工程の後で前記第2の洗浄処理工程の前に、又は、前記第2の洗浄処理工程の後で前記第2の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第4の洗浄処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

#### 【0144】

##### 【発明の効果】

以上の通り、本発明によれば、エクステンション領域を形成する際に用いられた第1のフォトレジスト膜を除去する際の灰化処理時間を、深い不純物拡散領域を形成する際に用いられた第2のフォトレジスト膜を除去するための灰化処理時間より短く設定する。このため、第1のフォトレジスト膜を除去する際に、エクステンション領域が大きく酸化されてしまうのを防止することができる。一方、第2のフォトレジスト膜を除去する際には、第2のフォトレジスト膜を確実に除去しうるよう灰化処理時間を長く設定する。第2のフォトレジスト膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0145】

また、本発明によれば、エクステンション領域を形成する際に用いられた第1のフォトレジスト膜を除去する際には、 $O_2$ ガスのみを用いて第1のフォトレジスト膜を灰化し、深い不純物拡散領域を形成する際に用いられた第2のフォトレジスト膜を除去する際には、混合ガスを用いて第2のフォトレジスト膜を灰化す

る。O<sub>2</sub>ガスのみを用いて第1のフォトレジスト膜を灰化するため、エクステンション領域が大きく酸化されてしまうのを防止することができる。一方、第2のフォトレジスト膜を除去する際には、第2のフォトレジスト膜を確実に除去しうるよう混合ガスを用いて第2のフォトレジスト膜を灰化する。第2のフォトレジスト膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0146】

また、本発明によれば、第1のフォトレジスト膜を除去する際のAPM液による薬液処理時間を、第2のフォトレジスト膜を除去する際のAPM液による薬液処理時間より短く設定する。このため、第1のフォトレジスト膜を除去する際に、エクステンション領域が大きく除去されてしまうのを防止することができる。一方、第2のフォトレジスト膜を除去する際には、第2のフォトレジスト膜を確実に除去しうるようAPM液による薬液処理を十分な時間で行う。第2のフォトレジスト膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きくエッチングされてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

#### 【0147】

また、本発明によれば、エクステンション領域中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による第1の洗浄処理の時間を、深い不純物拡散領域中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による第2の洗浄処理の時間より、短く設定する。このため、第1の洗浄処理の際に、エクステンション領域が大きくエッチングされてしまうのを防止することができる。一方、第2の洗浄処理の際には、パーティクルや有機系の不純物を確実に除去しうるようにAPM液による洗浄処理を長く設定する。第2の

洗浄処理の際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図6】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図7】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その7）である。

【図8】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その8）

である。

【図9】

フォトトレジスト膜に対する灰化処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図10】

APM液による薬液処理の時間とポリシリコンのエッチング量との関係を示すグラフである。

【図11】

APM液による薬液処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図12】

APM液による洗浄処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図13】

本発明の一実施形態による半導体装置と従来の半導体装置とを比較した断面図である。

【図14】

ロールオフ特性を示すグラフである。

【図15】

飽和電流とリーク電流との関係を示すグラフである。

【符号の説明】

10…半導体基板

12…素子分離領域

14n…NMO Sトランジスタが形成される領域

14p…PMO Sトランジスタが形成される領域

16n…n形ウェル

16p…p形ウェル

18…ゲート絶縁膜

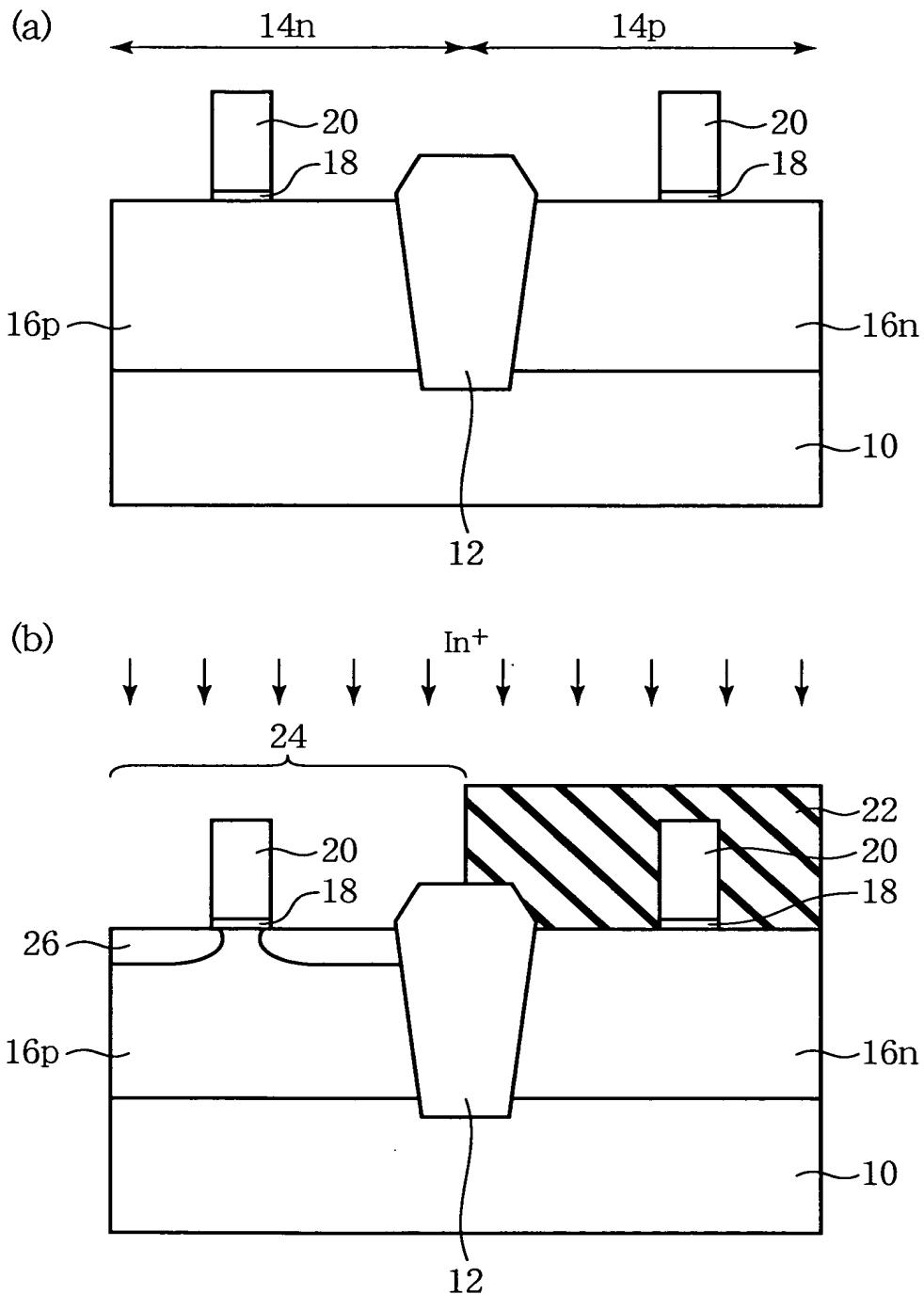
20…ゲート電極

22 … フォトレジスト膜  
24 … 開口部  
26 … ポケット領域  
28 … エクステンション領域  
30 … フォトレジスト膜  
32 … 開口部  
34 … ポケット領域  
36 … 不純物拡散領域  
38 … シリコン酸化膜  
42 … サイドウォール絶縁膜  
44 … フォトレジスト膜  
46 … 開口部  
48 … 不純物拡散領域  
50 … ソース／ドレイン拡散層  
52 … フォトレジスト膜  
54 … 開口部  
56 … 不純物拡散領域  
58 … ソース／ドレイン拡散層  
60 … 金属膜  
62 … ソース／ドレイン電極  
64 n … NMOSトランジスタ  
64 p … PMOSトランジスタ

【書類名】 図面

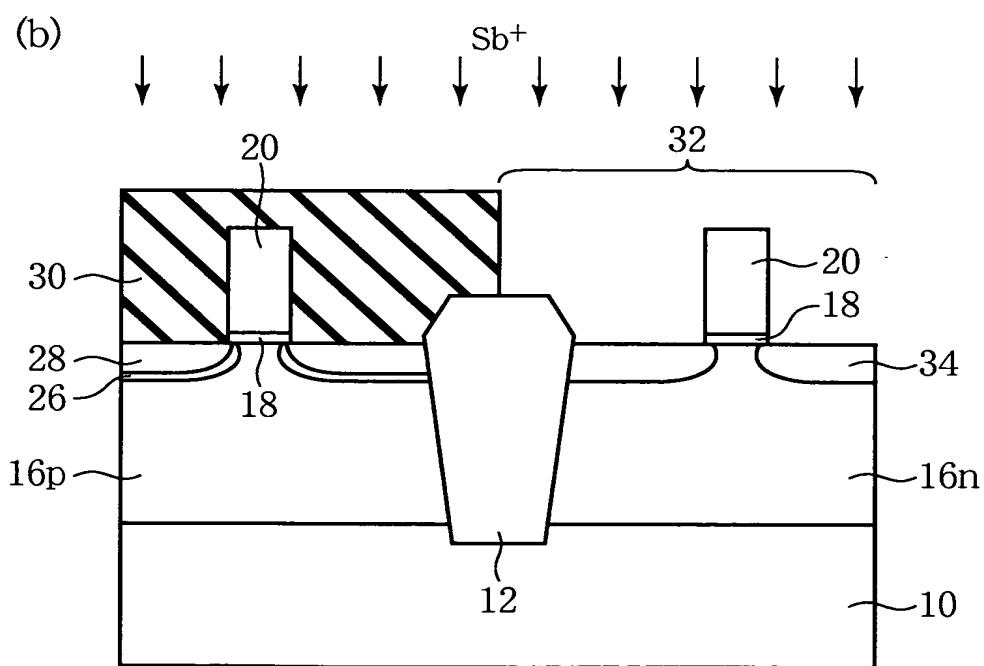
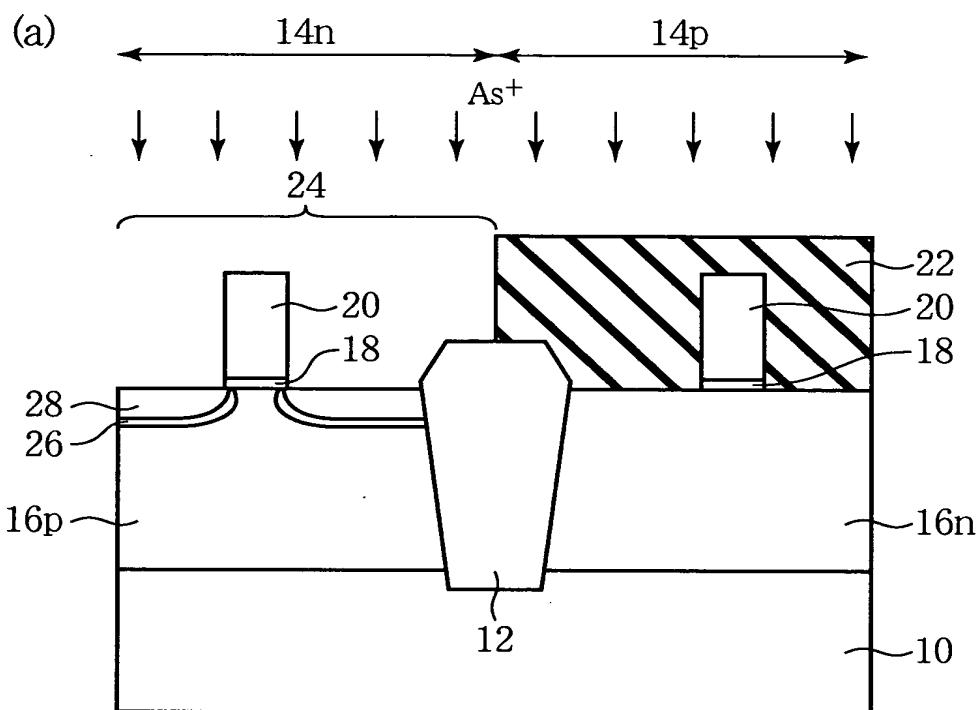
【図1】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その1)



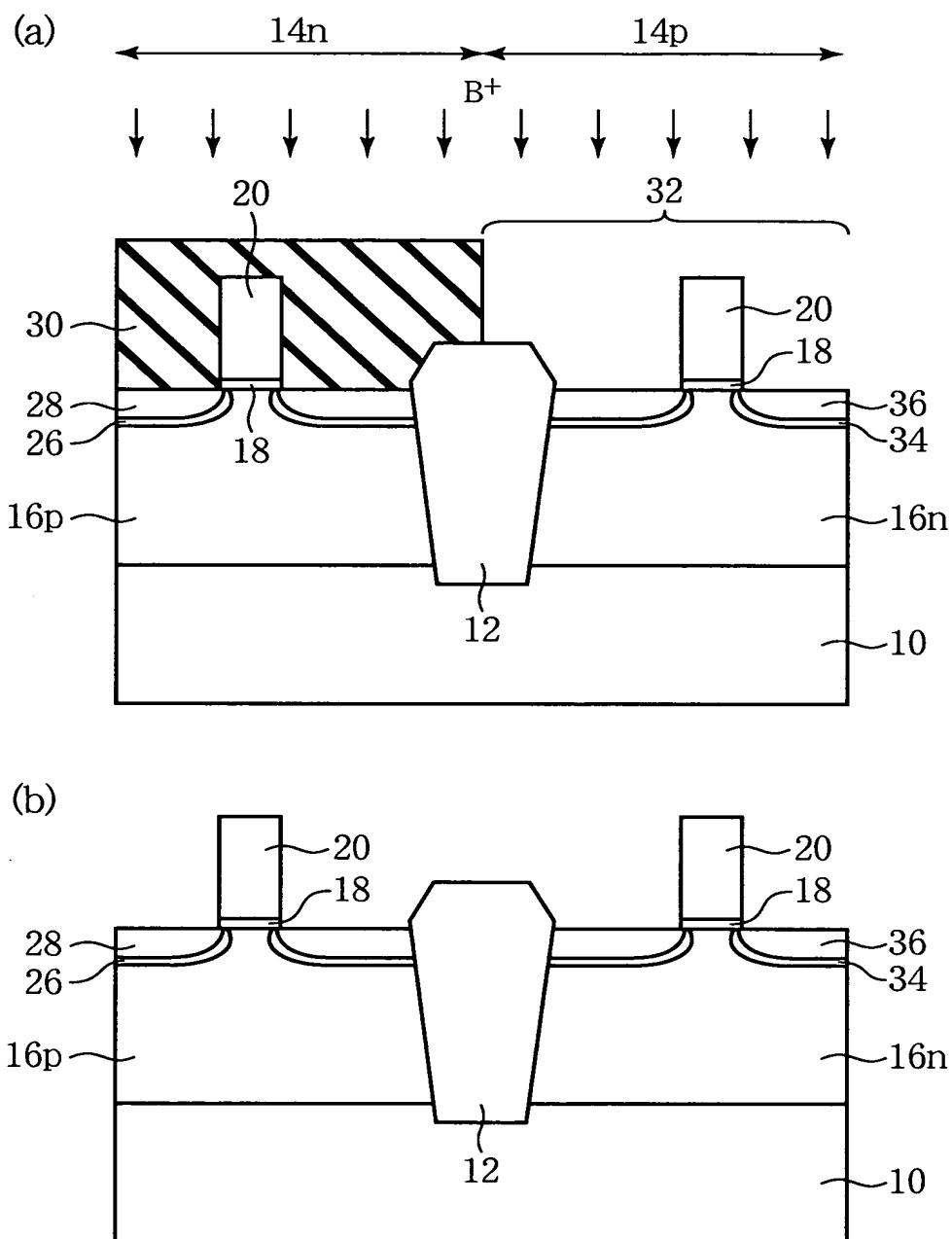
【図2】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



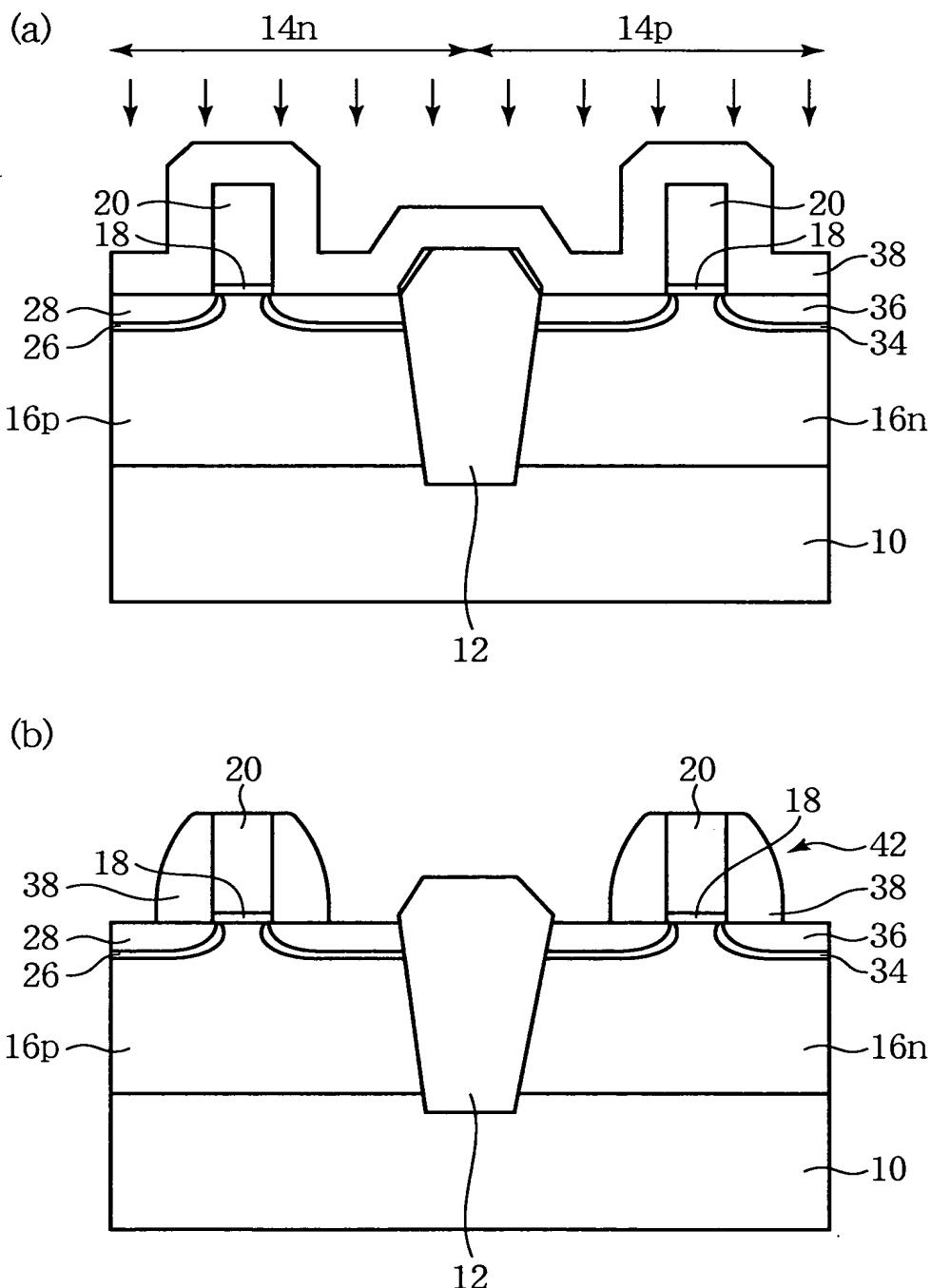
【図3】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その3)



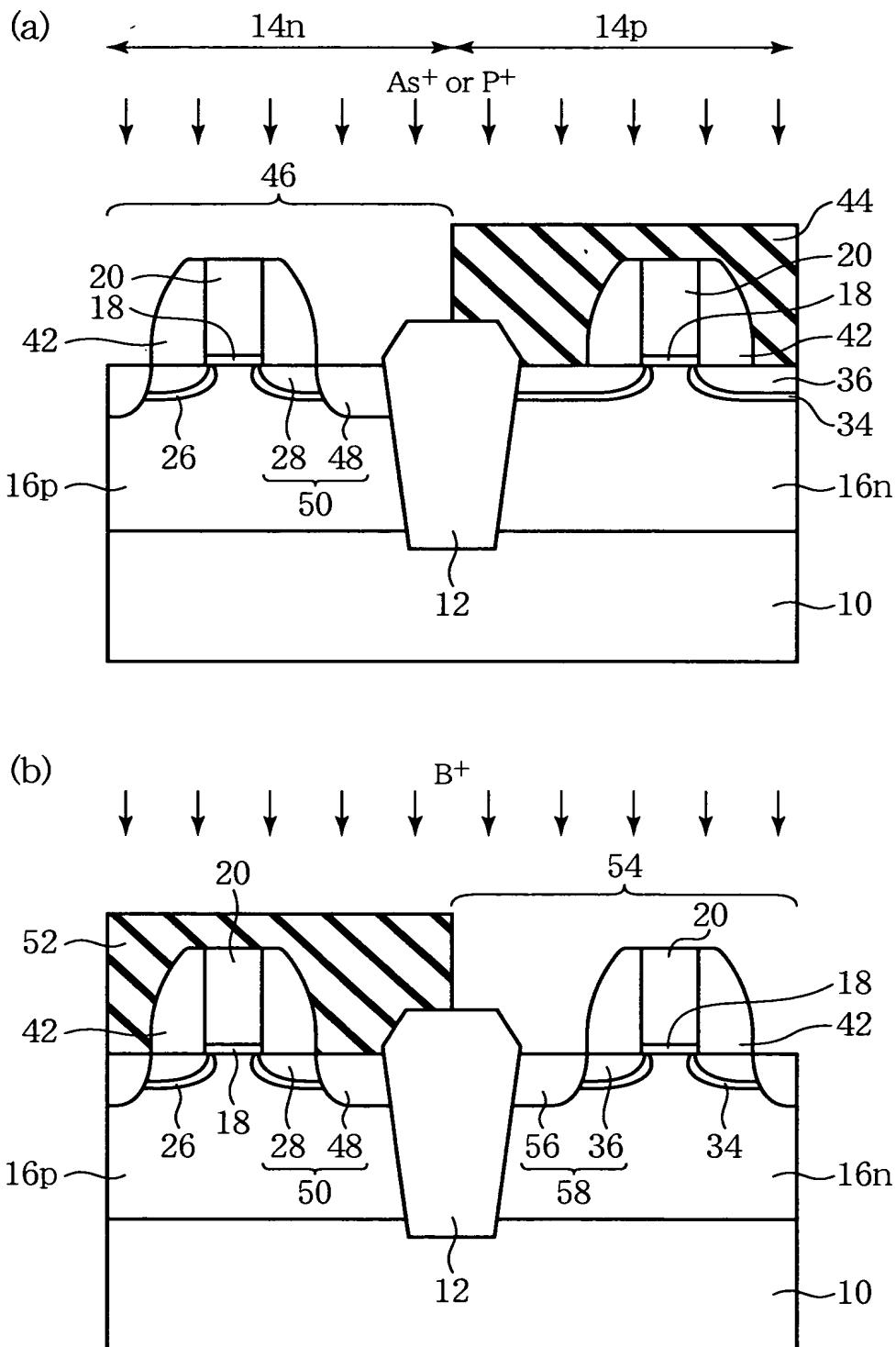
【図4】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その4)



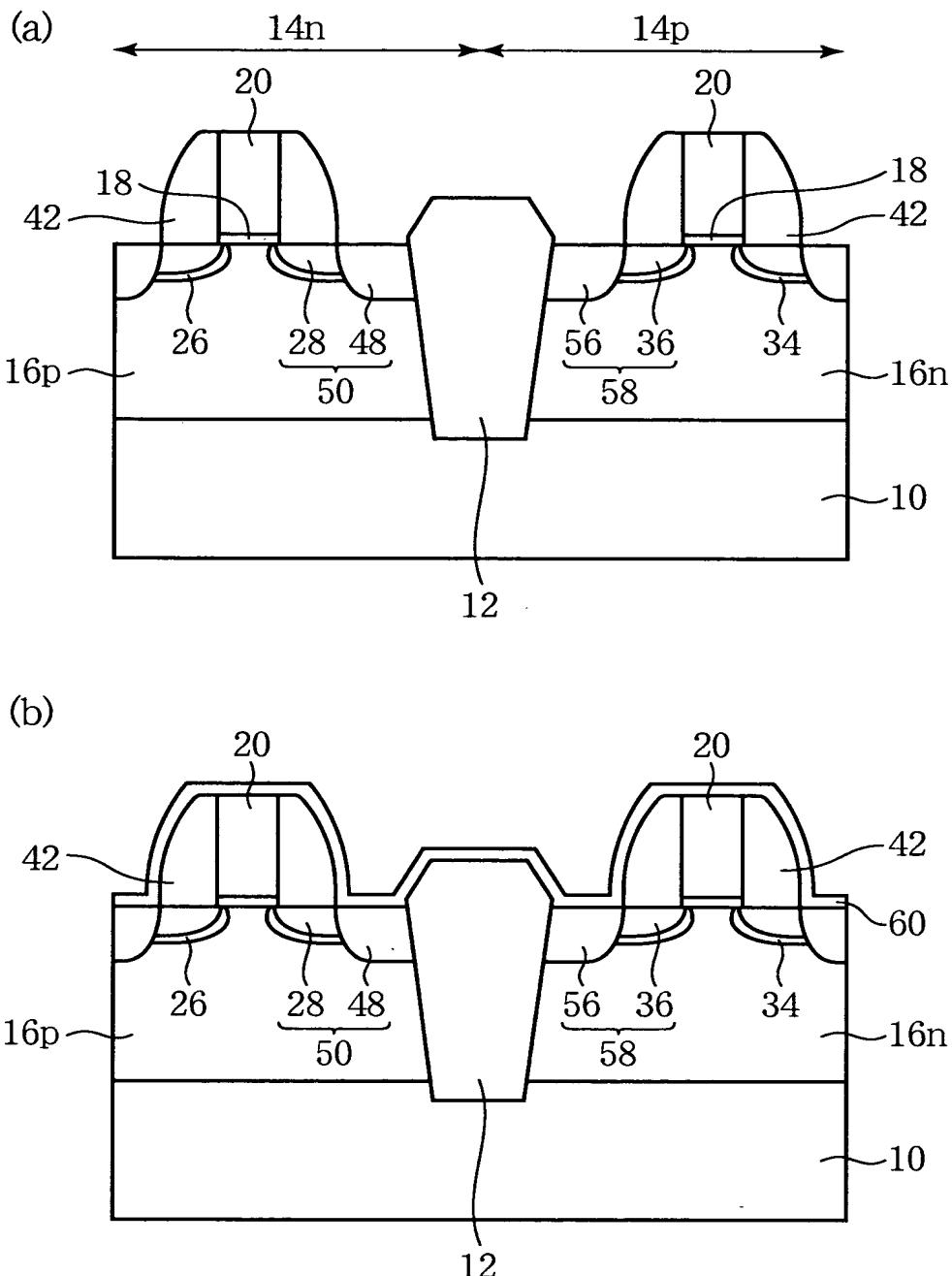
【図5】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その5)



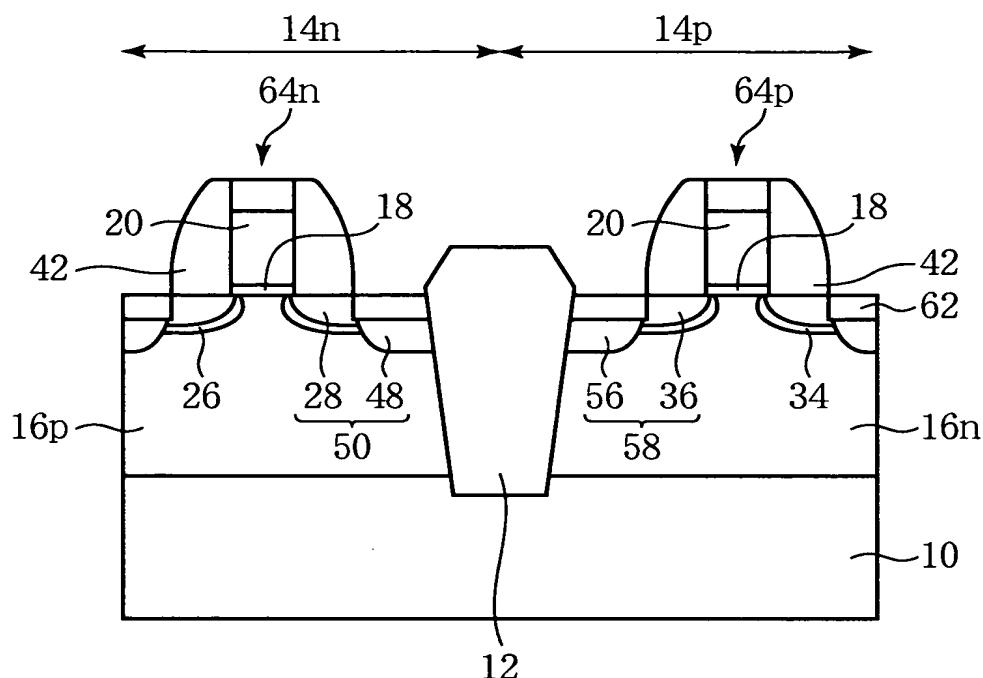
【図6】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その6)

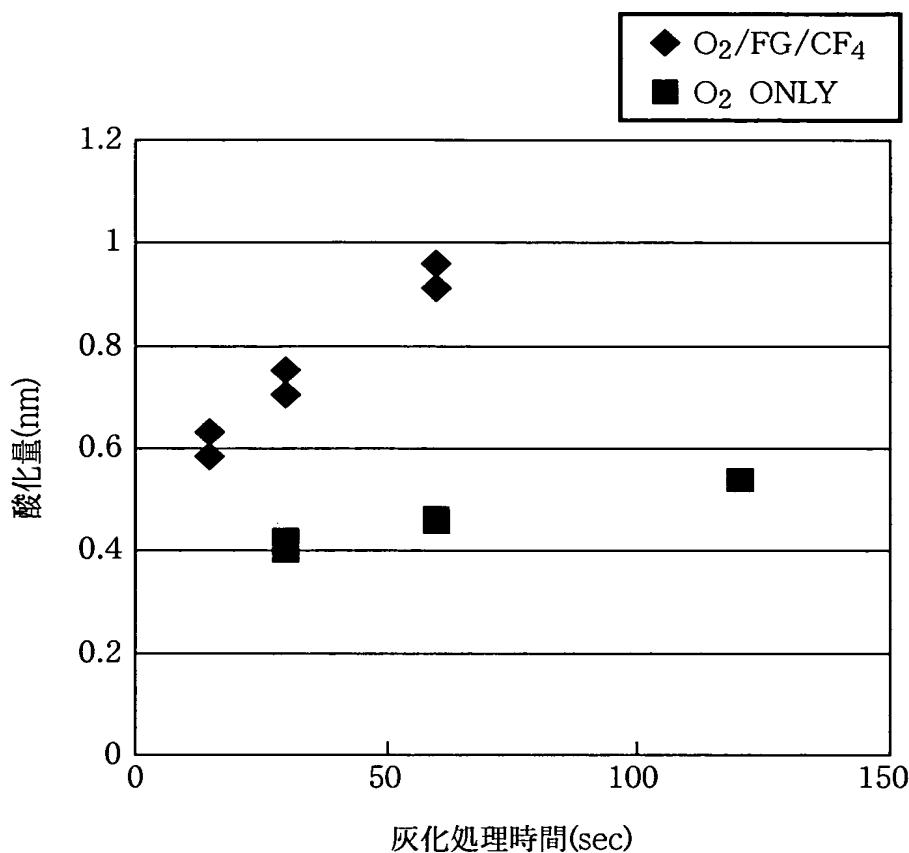


【図7】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その7)

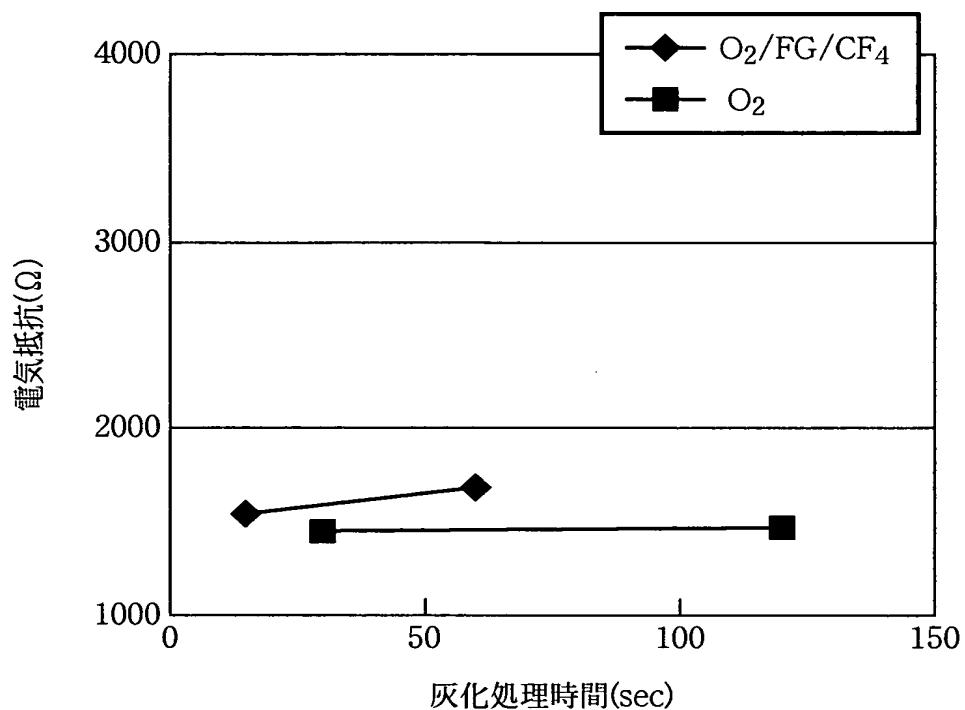


【図8】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その8)

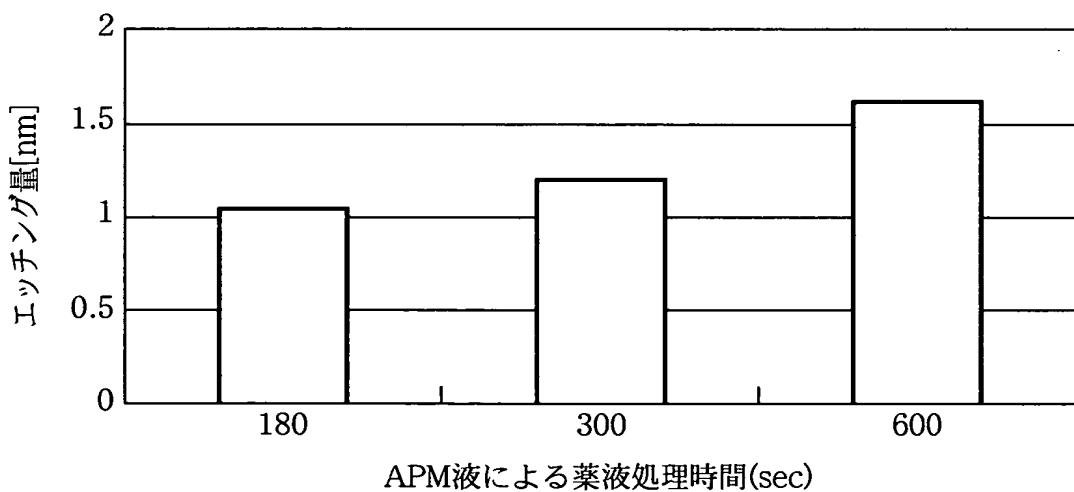
【図9】

フォトレジスト膜に対する灰化処理の時間と  
エクステンション領域における電気抵抗との関係を示すグラフ



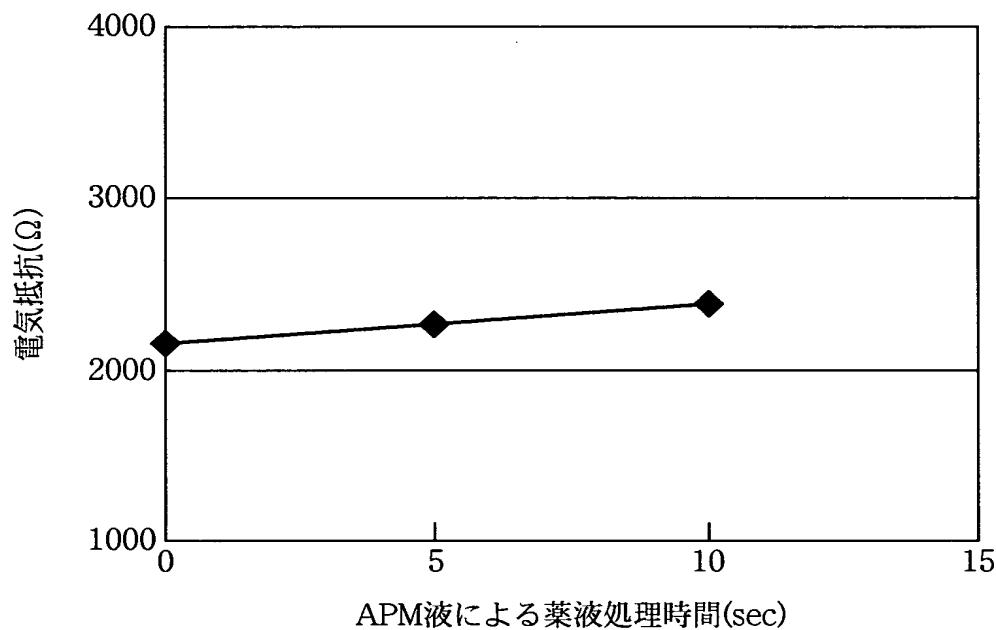
【図10】

APM液による薬液処理の時間とポリシリコンのエッチング量との  
関係を示すグラフ



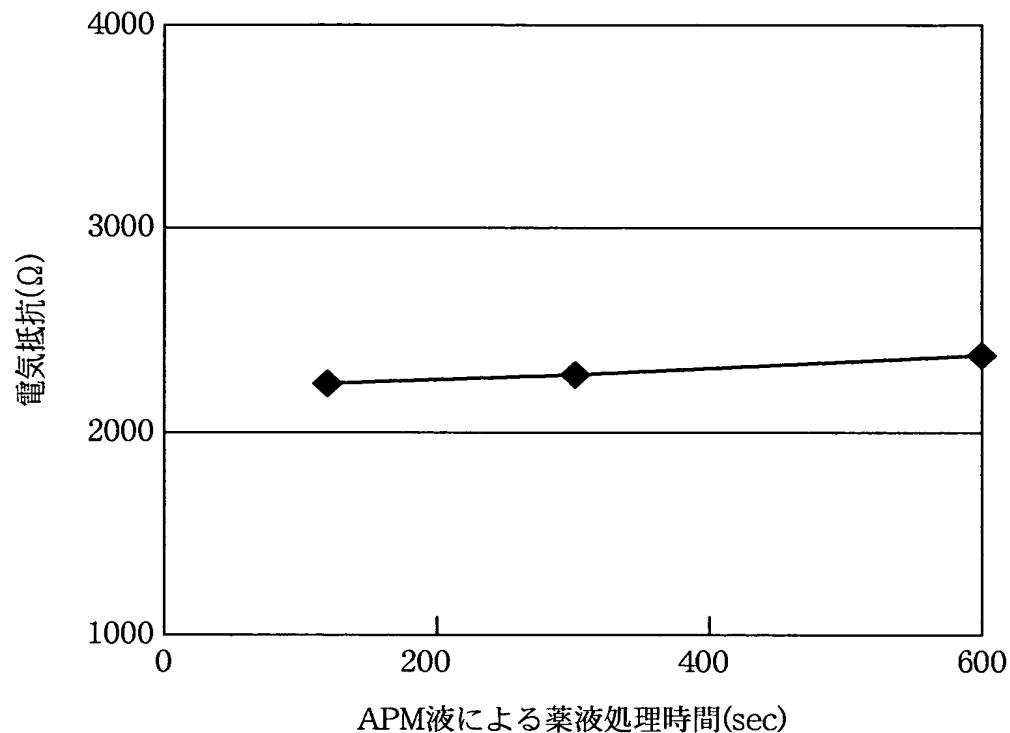
【図11】

APM液による薬液処理の時間とエクステンション領域における電気抵抗との関係を示すグラフ



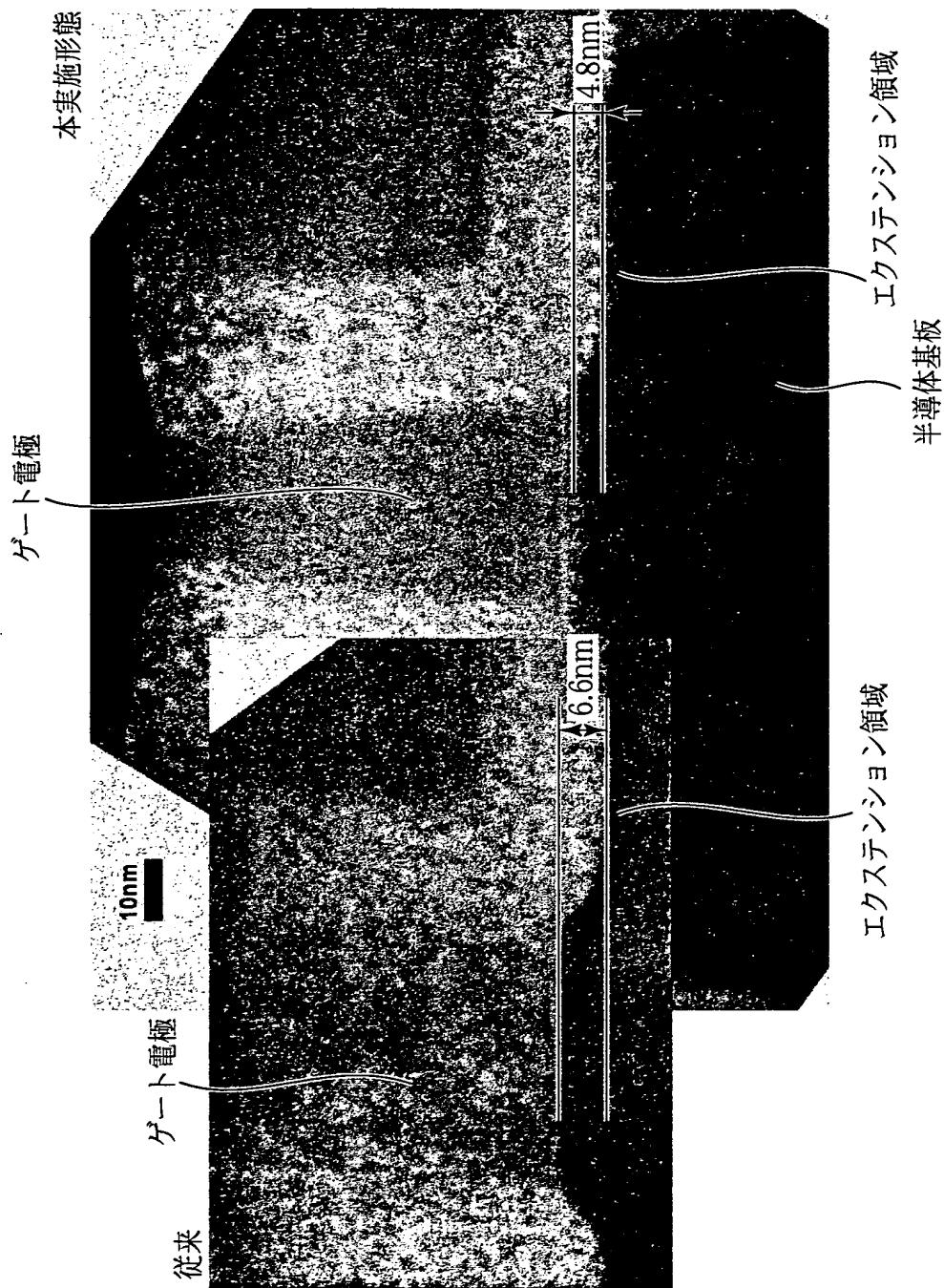
【図12】

APM液による洗浄処理の時間とエクステンション領域における電気抵抗との関係を示すグラフ



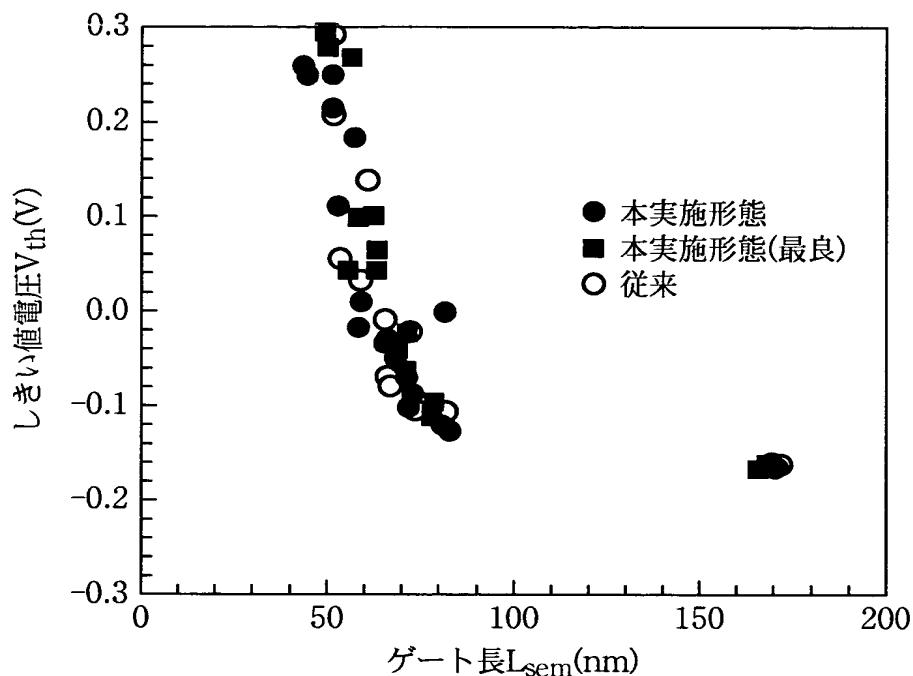
【図13】

本発明の一実施形態による半導体装置と  
従来の半導体装置とを比較した断面図



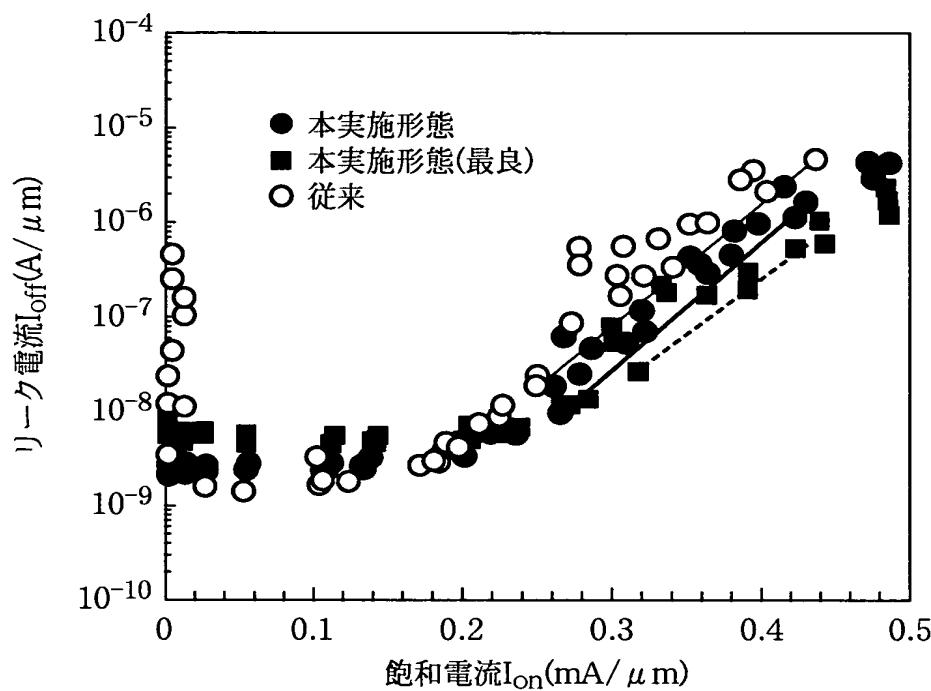
【図14】

## ロールオフ特性を示すグラフ



【図15】

飽和電流とリーク電流との関係を示すグラフ



【書類名】 要約書

【要約】

【課題】 エクステンション領域における電気抵抗を低く抑制しうる半導体装置の製造方法を提供する。

【解決手段】 第1の素子領域 $14\text{ n}$ 上及び第2の素子領域 $14\text{ p}$ 上にゲート電極20を形成する工程と、第1の素子領域が開口されている第1のレジスト膜22を形成する工程と、第1のレジスト膜及びゲート電極をマスクとして、第1の不純物拡散領域を形成する工程と、第1のレジスト膜を灰化する第1の灰化処理工程と、ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、第1の素子領域が開口されている第2のレジスト膜を形成する工程と、第2のレジスト膜、ゲート電極及びサイドウォール絶縁膜をマスクとして、第2の不純物拡散領域を形成する工程と、第2のレジスト膜を灰化する第2の灰化処理工程とを有し、第1の灰化処理工程における灰化処理時間は、第2の灰化処理工程における灰化処理時間より短い。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社